



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000040028 A**(43) Date of publication of application: **08.02.00**

(51) Int. Cl. **G06F 12/06**  
**G06F 9/445**

(21) Application number: **10209662**(71) Applicant: **NEC MOBILE COMMUN LTD**(22) Date of filing: **24.07.98**(72) Inventor: **FUKUDA YUJI**

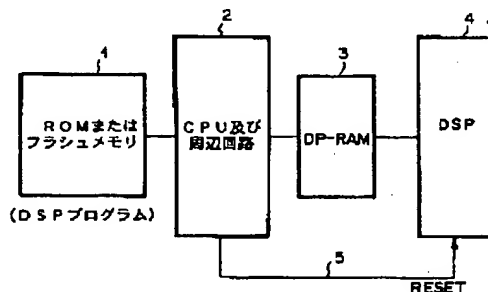
(54) **SYSTEM FOR EXTENDING DSP PROGRAM AREA  
 BY CPU CONTROL**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To execute a large DSP(digital signal processor) program even in one DSP small in program area and to cope with even a DSP program having plural functions or comparatively large in program capacity.

**SOLUTION:** This system has a DP-RAM 3 which is respectively accessible from a CPU 2 and a DSP 4, a means which is provided in the CPU 2, selects the DSP program of a necessary function among DSP programs stored in a memory 1 and outputs a reset signal 5 to the DSP 4 after transferring it to the DP-RAM 3 and a means which is provided in the DSP 4, loads a program existing in the DP-RAM 3 to an internal program area by means of a program loader inside the DSP when the reset 5 is applied and carries out the DSP program.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-40028

(P2000-40028A)

(43) 公開日 平成12年2月8日 (2000.2.8)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	シーコード (参考)
G 0 6 F 12/06	5 2 0	G 0 6 F 12/06	5 2 0 F 5 B 0 6 0
9/445		9/06	4 2 0 K 5 B 0 7 6

審査請求 有 請求項の数 6 O L (全 4 頁)

(21) 出願番号 特願平10-209662

(22) 出願日 平成10年7月24日 (1998.7.24)

(71) 出願人 390000974

日本電気移動通信株式会社

横浜市港北区新横浜三丁目16番8号 (N  
E C移動通信ビル)

(72) 発明者 福田 雄二

神奈川県横浜市港北区新横浜三丁目16番8  
号 日本電気移動通信株式会社内

(74) 代理人 100065385

弁理士 山下 稔平

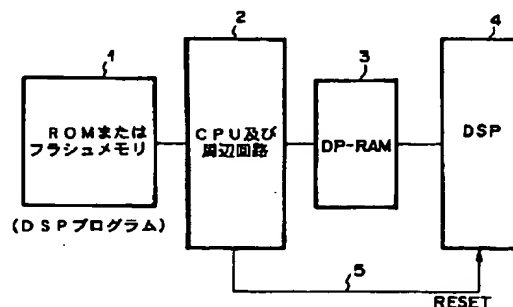
Fターム (参考) 5B060 CB00 KA02 KA04 MM01  
5B076 BB02 BB12

(54) 【発明の名称】 CPU制御によるDSPプログラム領域の拡張方式

(57) 【要約】

【課題】 DSPのプログラム領域は、そのハードウェアによる制約のため必要な機能をその領域内で実現しなければならない。或いは機能自体に制限を受けるという問題点がある。

【解決手段】 CPU2とDSP4のそれぞれからアクセス可能なDP-RAM3と、該CPU2に備えられた、前記メモリ1内に蓄えられたDSPプログラムの中から必要な機能のDSPプログラムを選択して、前記DP-RAM3に転送後、前記DSP4に対してリセット信号5を出力する手段と、前記DSP4に備えられた、該リセット5が掛かると、該DSP内部のプログラムローダーにより、前記DP-RAM3にあるプログラムを内部のプログラム領域にロードし、該DSPプログラムを実行する手段と、を有する。



## 【特許請求の範囲】

【請求項1】 CPUとDSPを組み合わせた装置に於いて、

該CPUからの書き込みと該DSPからの読み出しを可能に接続されたDP-RAMと、

前記DP-RAMに、DSPプログラムを、該CPU側で切替えて格納する手段と、

該格納後に前記DSPをリセットする手段と、

該リセット時に、前記DP-RAMから前記DSPプログラムを該DSPへロードする手段と、を有することを特徴とするCPU制御によるDSPプログラム領域の拡張方式。

【請求項2】 CPUと、DSPと、

該DSPプログラムが格納されたメモリと、

該CPUとDSPのそれぞれからアクセス可能なDP-RAMと、

該CPUに備えられた、前記メモリ内に蓄えられたDSPプログラムの中から必要な機能のDSPプログラムを選択して、前記DP-RAMに転送後、前記DSPに対してリセット信号を出力する手段と、

前記DSPに備えられた、該リセットが掛かると、該DSP内部のプログラムローダーにより、前記DP-RAMにあるプログラムを内部のプログラム領域にロードし、該DSPプログラムを実行する手段と、を有する、ことを特徴とするCPU制御によるDSPプログラム領域の拡張方式。

【請求項3】 上記DSPのリセット端子は、上記CPUからのリセット信号の配線と接続されている、ことを特徴とする請求項2記載のCPU制御によるDSPプログラム領域の拡張方式。

【請求項4】 使用者の指示により、必要に応じて前記DP-RAM内のDSPプログラムを他のDSPプログラムに切替える手段を有する、ことを特徴とする請求項1又は2記載のCPU制御によるDSPプログラム領域の拡張方式。

【請求項5】 前記DSPプログラムが格納されたメモリは、ROMまたはフラッシュメモリである、ことを特徴とする請求項1又は2記載のCPU制御によるDSPプログラム領域の拡張方式。

【請求項6】 CPUとDSPを組み合わせた装置に於いて、

該CPUからの書き込みと該DSPからの読み出しを可能に接続されたメモリデバイスと、

前記メモリデバイスに、DSPプログラムを、該CPU側で切替えて格納する手段と、

該格納後に前記DSPをリセットする手段と、

該リセット時に、前記メモリデバイスから前記DSPプログラムを該DSPへロードする手段と、を有することを特徴とするCPU制御によるDSPプログラム領域の拡張方式。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CPUとDSPを組み合わせた装置に於いて、DSPのハードウェアにより制限されたプログラム領域を、これに接続されたCPUプログラムから制御することにより、この制限に関わらず多くの機能をDSPで実現する方式に関する。

【0002】

【従来の技術】通常のDSP（デジタル・シグナル・プロセッサ）は、プログラムローダーを持っており、DSPプログラムは、ハードリセットされた時に、メモリアリアからDSP内部のプログラム実行用のメモリに転送され、このプログラムがDSPにより実行される仕組みになっている。また、このようなDSPを用いたコンピュータシステムにおいては、より小型化、低コスト化、多機能化を目指した関連技術が開発されている。

【0003】例えば、特開平9-311845号公報には、「DSP信号処理装置及び信号処理方法」として、DSPの数を制限することなくDSPへロードするプログラムを記憶するためのROMの数を減らすことにより、部品実装面積を減少させると共に、コストも低く抑えることができるDSP並列信号処理装置が記載されている。これは、目的のプログラムを読み込んで実行するためのデジタルシグナルプロセッサ（DSP）を複数有するDSP信号処理装置において、複数のDSPを順にイネーブル状態とすることにより、1つのROMから複数のDSPにそれぞれ違ったプログラムをロードさせることができるため、ROMが1つで済むという技術である。

【0004】また、特開平8-314801号公報には、「メモリ管理方式」として、電源投入時において、ブートROMを用いずに、ROMのデータをRAMへロードすることができるようにする方式が開示されている。

【0005】これは、RAM内にROMのアドレスと同一のアドレスの領域を設け、電源投入時には、ROMのデータをリードすることにより、プログラムをRAMにロードすることができるようにしたため、ROMのデータのロードのためにブートROM等を設ける必要がなくなるという技術である。

【0006】また、特開平6-161946号公報には、「DMAアドレス制御方法」として、DSPのDMA転送において、入力データが規定数以上に入力されても、入力データを書き込むデータRAMの所定領域以外の領域には書き込まないようにするDMAアドレス制御方法が開示されている。これは、DMA転送によるデータRAM領域を限定することで、アプリケーションの中間データや結果データの破壊を防止できるようにした技術である。

【0007】

【発明が解決しようとする課題】第1の問題点は、多くの機能または大きな機能をDSPで実現する場合には、プログラム領域が大きく高価なDSPを使用するため、装置の低コスト化を妨げる要因になっている点である。

【0008】その理由は、DSPのプログラム領域が、ハードウェア上制限されているためである。

【0009】【発明の目的】本発明の目的は、プログラム領域が小さい1つのDSPであっても、大きなDSPプログラムを実行出来るようにすることであり、これにより、複数の機能またはプログラム容量が比較的大きいDSPプログラムの場合に於いても対応する事が出来るようにすることにある。

【0010】

【課題を解決するための手段】本発明は、上記課題を解決するための手段として、CPUとDSPを組み合わせた装置に於いて、該CPUからの書き込みと該DSPからの読み出しを可能に接続されたDP-RAMと、前記DP-RAMに、DSPプログラムを、該CPU側で切替えて格納する手段と、該格納後に前記DSPをリセットする手段と、該リセット時に、前記DP-RAMから前記DSPプログラムを該DSPへロードする手段と、を有することを特徴とするCPU制御によるDSPプログラム領域の拡張方式を有するものである。

【0011】また、CPUと、DSPと、該DSPプログラムが格納されたメモリと、該CPUとDSPのそれぞれからアクセス可能なDP-RAMと、該CPUに備えられた、前記メモリ内に蓄えられたDSPプログラムの中から必要な機能のDSPプログラムを選択して、前記DP-RAMに転送後、前記DSPに対してリセット信号を出力する手段と、前記DSPに備えられた、該リセットが掛かると、該DSP内部のプログラムローダーにより、前記DP-RAMにあるプログラムを内部のプログラム領域にロードし、該DSPプログラムを実行する手段と、を有する、ことを特徴とするCPU制御によるDSPプログラム領域の拡張方式でもある。

【0012】また、上記DSPのリセット端子は、上記CPUからのリセット信号の配線と接続されている、ことを特徴とするCPU制御によるDSPプログラム領域の拡張方式でもある。

【0013】また、使用者の指示により、必要に応じて前記DP-RAM内のDSPプログラムを他のDSPプログラムに切替える手段を有する、ことを特徴とするCPU制御によるDSPプログラム領域の拡張方式でもある。

【0014】また、前記DSPプログラムが格納されたメモリは、ROMまたはフラッシュメモリである、ことを特徴とするCPU制御によるDSPプログラム領域の拡張方式でもある。

【0015】また、CPUとDSPを組み合わせた装置に於いて、該CPUからの書き込みと該DSPからの読

み出しを可能に接続されたメモリデバイスと、前記メモリデバイスに、DSPプログラムを、該CPU側で切替えて格納する手段と、該格納後に前記DSPをリセットする手段と、該リセット時に、前記メモリデバイスから前記DSPプログラムを該DSPへロードする手段と、を有することを特徴とするCPU制御によるDSPプログラム領域の拡張方式でもある。

【0016】【作用】本発明は、CPUとDSPを組み合わせた装置に於いて、DSPのプログラムをCPUに接続されたDP-RAM（デュアルポートRAM）等のデバイスからロードするようにし、DSPに実行させるプログラムをCPU側のプログラムを用いて切替えるものである。

【0017】通常のDSPは、プログラムローダーを持っており、ハードリセットされた時にメモリアreaからDSP内部のプログラム実行用のメモリに転送される仕組みになっている。

【0018】本発明では、まず、このDSPプログラムをCPUでアクセス出来るDP-RAM等のデバイスから読み込めるハード構成とする。

【0019】また、CPUからDSPのリセット端子が制御出来るハード構成とする。

【0020】CPUの制御プログラムは、DSPの実行すべきプログラムを、このDP-RAMに転送し、この後にDSPをリセットする。

【0021】本発明によれば、CPUにより、容量の大きなROMやフラッシュメモリから必要なDSPプログラムを選択して、DP-RAMに格納することにより、任意のDSPプログラムを実行させることができるため、実質的にはDSPのプログラム容量を拡張したのと同じ効果を得ることが出来る。

【0022】これにより、CPUプログラムによる制御によって、DSP内部のプログラム領域の制限を無くし、プログラム領域を拡張することができる。

【0023】また、この拡張により、プログラム容量が大きくなる様な処理や、複数の機能を実行する事ができる。

【0024】また、DSP自体は、内部プログラム領域の小さな低コストのものでも良くなる。

【0025】

【発明の実施の形態】【構成の説明】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0026】図1に示されるように、本発明は、DSPプログラムが格納されたROMまたはフラッシュメモリ1、CPU並びに周辺回路2、CPU周辺回路2とDSP4の間にありそれぞれからアクセス出来るDP-RAM3、及びDSP4から構成される。また、CPUからDSPのリセット端子が制御出来るリセット信号5の配線を備えた構成とする。

【0027】なお、CPUからの書き込みとDSPから

の読み出しを可能に接続されたメモリデバイスであれば、DP-RAM3に限ることはなく、通常のRAM等を用いることも可能である。

【0028】【動作の説明】CPU2は、その制御プログラムにより、ROM或いはフラッシュメモリ1内に蓄えられたDSPプログラムの中から必要な機能のDSPプログラムを選択し、当該DSPプログラムをDP-RAM3に転送したのち、DSP4に対してリセット信号5を加える。

【0029】リセット信号5が掛かると、DSP4は、内部のプログラムローダーにより、DP-RAM3にあるプログラムを内部のプログラム領域に転送し、当該プログラムを実行する。

【0030】CPU2の制御プログラムが、必要に応じて上記の処理を行い、DSP4の機能を切替えることで、実質的にはDSP4のプログラム実行領域の拡張が出来る。

【0031】

【発明の効果】第1の効果は、CPUプログラムにより、必要な時にDSPプログラムを切替え実行させる事が出来るため、多機能或いは複雑な機能を行うことが出来る装置を提供できる事である。

【0032】第2の効果は、これに伴ってプログラム領域の小さなDSPを用いた装置でも多くの機能が実行出来るようになり、装置の低コスト化に寄与する事である。

【図面の簡単な説明】

【図1】本発明の装置構成図である。

【符号の説明】

- 1 ROM又はフラッシュメモリ
- 2 CPU及び周辺回路
- 3 DP-RAM (デュアル・ポート・RAM)
- 4 DSP (デジタル・シグナル・プロセッサ)
- 5 リセット信号

【図1】

